



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-120154

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 12/16

G 1 1 C 16/06

識別記号

3 1 0 Q 7629-5B

9191-5L

庁内整理番号

F I

G 1 1 C 17/ 00

技術表示箇所

3 0 9 F

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平3-284511

(22)出願日 平成3年(1991)10月30日

(71)出願人 000180379

四国日本電気ソフトウェア株式会社

愛媛県松山市衣山4丁目760番地

(72)発明者 鶴川 伸次

愛媛県松山市衣山四丁目760番地 四国日

本電気ソフトウェア株式会社内

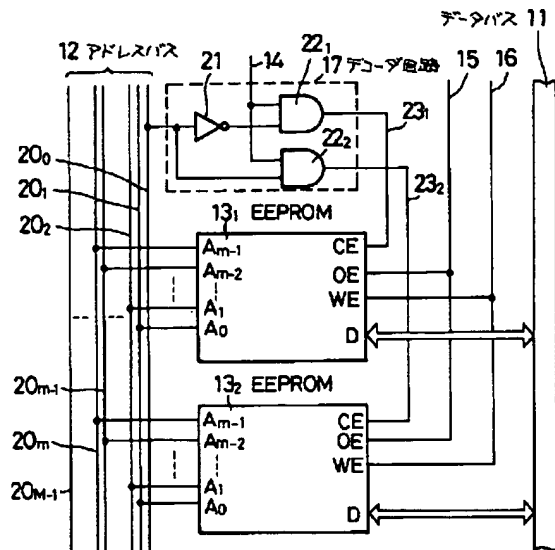
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 データ処理装置

(57)【要約】

【目的】複数の電氣的消去・再書き込み可能ROM(EEPROM)に管理情報を格納するようにしたデータ処理装置において、特定のEEPROMへの書き換えの集中を防いでデータ処理装置の信頼性を高める。

【構成】 $2^n$ 個のEEPROM13<sub>1</sub>, 13<sub>2</sub>を用い、アドレスバス12の下位nビットのをデコードするデコード回路17を設ける。デコード回路17のデコード結果に基づいて各EEPROM13<sub>1</sub>, 13<sub>2</sub>のチップイネーブル端子CEを排他的に制御してアクセス対象のEEPROMが選択されるようする。各EEPROM13<sub>1</sub>, 13<sub>2</sub>のアドレス入力端子A<sub>0</sub>~A<sub>m-1</sub>は、アドレスバス12の下位nビットを除いた残りのアドレス線に接続されるようにする。



## 【特許請求の範囲】

【請求項1】 アドレス入力端子とチップイネーブル端子とを有する2<sup>n</sup>個（ただしnは1以上の整数）の電氣的消去・再書き込み可能ROMと、それぞれアドレスの各ビットに対応するn+1本以上のアドレス線からなるアドレスバスを少なくとも有するデータ処理装置において、

2<sup>n</sup>本の出力線を有し、前記アドレスバスのうち下位nビットのアドレス線をデコードし、デコード結果と外部からのチップイネーブル入力信号に応じて前記2<sup>n</sup>本の出力線のうちの1本の出力線に排他的にチップイネーブル信号を出力するデコード回路を有し、

前記各電氣的消去・再書き込み可能ROMののチップイネーブル端子と前記各出力線とがそれぞれ1本ずつ接続され、

前記アドレスバスの中から前記下位nビットを除いたもののうち、前記電氣的消去・再書き込み可能ROMのアドレス幅に相当するビット数のアドレス線が、該アドレス線の下位ビット側から前記アドレス入力端子に順次接続されていることを特徴とするデータ処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、パーソナルコンピュータやエンジニアリング・ワークステーションなどのデータ処理装置に関し、特に、不揮発性の電氣的消去・再書き込み可能ROMに管理情報を保持させるようにしたデータ処理装置に関する。

## 【0002】

【従来の技術】パーソナルコンピュータやエンジニアリング・ワークステーションなどのデータ処理装置では、アプリケーション・ソフトウェアのコピープロテクト情報などの管理情報を電氣的消去・再書き込み可能ROM（EEPROM）内に保持し、データ処理装置の電源が落された場合であってもこれら管理情報を保持できるようになっている。そして、近年、データ処理装置の高性能化、アプリケーション・ソフトウェアの増加とともに、保持すべき管理情報のデータ量も急激に増加している。しかしながら1個の電氣的消去・再書き込み可能ROMの記憶容量は、この間それほど増大しているわけではないから、複数個の電氣的消去・再書き込み可能ROMを用い、管理情報を保持するようになっている。

【0003】ところで、電氣的消去・再書き込み可能ROMでは、書き換え可能回数が規定され、書き換え可能回数より多くの書き換えを行なった場合にはデータの保持安定性などが保証されない。したがって、電氣的消去・再書き込み可能ROMの書き換え可能回数の範囲内で管理情報の書き換え回数を実質的に多く保障することが、システムとしてのデータ処理装置の信頼性を向上させる上で重要である。

【0004】図2は、1個の電氣的消去・再書き込み可

能ROM（EEPROM）を使用した従来のデータ処理装置の要部の構成を示すブロック図である。このデータ処理装置は、データの転送を行なうデータバス51と、アドレスの指定を行なうためのアドレスバス52と、EEPROM53とを有し、さらにチップが選択されたことを示すチップイネーブル入力信号が伝送されるチップイネーブル信号線54、データバス51の入出力を制御するアウトプットイネーブル信号が伝送されるアウトプットイネーブル信号線55、EEPROM53に対するアクセスが読み出しであるか書き換えであるかを示すライトイネーブル信号が伝送されるライトイネーブル信号線56を設けた構成となっている。EEPROM53は、データバス51に接続されたデータ端子Dと、m個のアドレス入力端子A<sub>0</sub>～A<sub>m-1</sub>と、チップイネーブル信号線54に接続されたチップイネーブル端子CEと、アウトプットイネーブル信号線55に接続されたアウトプットイネーブル端子OEと、ライトイネーブル信号線56に接続されたライトイネーブル端子WEとを有している。アドレスバス52は、M本のアドレス線60<sub>0</sub>～60<sub>m-1</sub>からなり、最下位ビットのアドレス線60<sub>0</sub>がEEPROM53の最下位ビットのアドレス入力端子A<sub>0</sub>に接続され、以下順次接続されて、アドレスバス52の最下位ビットから数えてm番目のアドレス線60<sub>m-1</sub>が、EEPROM53の最上位のアドレス入力端子A<sub>m-1</sub>に接続されるようになっている。

【0005】次に、このデータ処理装置の動作について説明する。まず、EEPROM53内のデータを読み出す場合、ライトイネーブル信号が偽の状態（すなわち読み出し状態を表わす）でアドレスバス52上のアドレスを有効にして、チップイネーブル入力信号とアウトプットイネーブル信号とを真にすることにより、データバス51上にEEPROM53内のデータが出力される。チップイネーブル入力信号とアウトプットイネーブル信号とを偽にすると、データ出力は停止（読み出しサイクル終了）する。

【0006】一方、EEPROM53内のデータを書き換える場合、アウトプットイネーブル信号とライトイネーブル信号とが偽の状態、アドレスバス52上のアドレスとデータバス51上のデータとを有効にする。そして、チップイネーブル入力信号を真にする。次にライトイネーブル信号を偽から真の状態にし、再度ライトイネーブル信号を偽の状態とすることにより、EEPROM53内のデータがデータバス52上のデータに書き換えられる。チップイネーブル入力信号を偽にすると、書き換えサイクルは終了する。

【0007】このようなデータ処理装置において、EEPROMの記憶容量を増大させる場合、複数のEEPROMを使用し、アドレスバスの上位ビット側のアドレス線をデコードし、デコード結果に応じて各EEPROMへのチップイネーブル信号を変化させることにより、複

数のEEPROMのうちの1つものを選択するようになっていた。図3は、2個のEEPROMを使用した従来のデータ処理装置の要部の構成を示すブロック図である。

【0008】このデータ処理装置は、図2を用いて説明した上述のデータ処理装置に2個のEEPROM53<sub>1</sub>、53<sub>2</sub>を設け、さらに2個のEEPROM53<sub>1</sub>、53<sub>2</sub>のうちの一方を排他的に選択するためのデコード回路57を設けた構成となっている。2個のEEPROM53<sub>1</sub>、53<sub>2</sub>は、図2の装置のEEPROM53とそれぞれ同一の構成のものであり、上述の装置と同様に、データ端子Dがデータバス51に、アドレス入力端子A<sub>0</sub>~A<sub>m-1</sub>がそれぞれアドレス線60<sub>0</sub>~60<sub>m-1</sub>に、アウトプットイネーブル端子OEがアウトプットイネーブル信号線55に、ライトイネーブル端子WEがライトイネーブル信号線56に接続されている。

【0009】一方、デコード回路57は、アドレスバス52の最下位側からm+1番目のビットを表わすアドレス線60<sub>m</sub>に inputs が接続された反転回路61と、反転回路61の出力とチップイネーブル入力信号線54とが入力に接続された一方のAND回路62<sub>1</sub>と、前記m+1番目のビットを表わすアドレス線60<sub>m</sub>とチップイネーブル入力信号線54とが入力に接続された他方のAND回路62<sub>2</sub>からなり、各AND回路62<sub>1</sub>、62<sub>2</sub>の出力は、それぞれ各EEPROM53<sub>1</sub>、53<sub>2</sub>のチップイネーブル端子CEに接続されている。

【0010】次に、このデータ処理装置の動作について説明する。まず、読み出し動作について説明する。

【0011】ライトイネーブル信号が偽の状態ではアドレスバス52上のアドレスを有効にして、チップイネーブル入力信号とアウトプットイネーブル信号とを真にする。このときアドレスバス52のm+1ビット目のアドレス線60<sub>m</sub>の信号が偽であれば一方のEEPROM53<sub>1</sub>のチップイネーブル端子CEの入力が真となり、このアドレス線60<sub>m</sub>の信号が真であれば他方のEEPROM53<sub>2</sub>のチップイネーブル端子CEの入力が真となり、このアドレス線60<sub>m</sub>の値によって2個のEEPROM53<sub>1</sub>、53<sub>2</sub>の一方のみが排他的に選択されることになる。その結果、選択されたEEPROM内のデータがデータバス51に出力される。チップイネーブル入力信号とアウトプットイネーブル信号とを偽にすることにより、データ出力は停止（読み出しサイクル終了）する。

【0012】一方、データの書き換えを行なうときは、まず、アウトプットイネーブル信号とライトイネーブル信号とが偽の状態では、アドレスバス52上のアドレスとデータバス51上のデータを有効にする。そして、チップイネーブル入力信号を真にする。このとき、上述のデータ読み出しの場合と同様に、m+1ビット目のアドレス線60<sub>m</sub>の値によって、2個のEEPROM53<sub>1</sub>、5

3<sub>2</sub>のどちらか一方が選択される。そしてこの状態で、ライトイネーブル信号を真にし再び偽にすることによって、選択された方のEEPROM内のデータがデータバス51上のデータで書き換えられる。チップイネーブル入力信号を偽にすると、書き換えサイクルは終了する。

【0013】

【発明が解決しようとする課題】電気的消去・再書き込み可能ROMに格納される管理情報は、一般に、連続したアドレスの一かたまりのデータである。電気的消去・再書き込み可能ROMに複数の管理情報を格納したとき、管理情報ごとの書き換え頻度は均一ではなく、管理情報ごとに異なるのが普通である。ところで、上述の図3のようなデータ処理装置では、1回の書き換えサイクルで連続したZワード（1ワードは、電気的消去・再書き込み可能ROMの最小アクセス単位）のデータ書き換えを行なう場合、電気的消去・再書き込み可能ROMの繰り返し書き換え可能回数がYワード・回であるとするとき、特定の管理情報すなわち片方の電気的消去・再書き込み可能ROMに格納されているデータへ書き換えが集中した場合、平均してY/Z回の書き換えで、2個の電気的消去・再書き込み可能ROMのうちの片方については繰り返し書き換え可能回数をオーバーしてしまう可能性があるという問題点がある。このような繰り返し書き換え可能回数のオーバーは、システムとしてのデータ処理装置の信頼性の低下をもたらすものである。

【0014】電気的消去・再書き込み可能ROMの数が2個よりも多い場合であっても、特定の電気的消去・再書き込み可能ROMに書き換えが集中すれば、上述と同様に、比較的早い時期に特定の電気的消去・再書き込み可能ROMが書き換え可能回数をオーバーする可能性がある。

【0015】本発明の目的は、複数の電気的消去・再書き込み可能ROMに管理情報を格納するようにしたデータ処理装置において、特定の電気的消去・再書き込み可能ROMへの書き換えの集中を防ぎ、早期に繰り返し書き換え可能回数を超過する電気的消去・再書き込み可能ROMの発生を防ぐことにより、信頼性を高めたデータ処理装置を提供することにある。

【0016】

【課題を解決するための手段】本発明のデータ処理装置は、アドレス入力端子とチップイネーブル端子とを有する2<sup>n</sup>個（ただしnは1以上の整数）の電気的消去・再書き込み可能ROMと、それぞれアドレスの各ビットに対応するn+1本以上のアドレス線からなるアドレスバスを少なくとも有するデータ処理装置において、2<sup>n</sup>本の出力線を有し、前記アドレスバスのうち下位nビットのアドレス線をデコードし、デコード結果と外部からのチップイネーブル入力信号に応じて前記2<sup>n</sup>本の出力線のうちの1本の出力線に排他的にチップイネーブル信号を出力するデコード回路を有し、前記各電気的消去・再

書き込み可能ROMのチップイネーブル端子と前記各出力線とがそれぞれ1本ずつ接続され、前記アドレスバスの中から前記下位nビットを除いたもののうち、前記電氣的消去・再書き込み可能ROMのアドレス幅に相当するビット数のアドレス線が、該アドレス線の下位ビット側から前記アドレス入力端子に順次接続されている。

【0017】

【作用】アドレスバスの下位nビットをデコードし、このデコード結果に基づいてアクセス対象の電氣的消去・再書き込み可能ROMを選択するようにしているので、連続したアドレスのデータの書き換えを行なった場合には書き換えが全電氣的消去・再書き込み可能ROMに分散して行なわれることになる。上述のように、管理情報は連続したアドレスのかたまりのデータであるから、特定の管理情報に書き換えが集中したとしても電氣的消去・再書き込み可能ROMとしては書き換えが分散したことになり、したがって特定の電氣的消去・再書き込み可能ROMだけが早期に繰り返し書き換え可能回数をオーバーすることが防がれる。

【0018】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1は本発明の一実施例のデータ処理装置の要部の構成を示すブロック図である。

【0019】このデータ処理装置は、データの転送を行なうデータバス11と、アドレスの指定を行なうためのアドレスバス12と、2個の電氣的消去・再書き込み可能ROM(EEPROM)13<sub>1</sub>、13<sub>2</sub>と、2個のEEPROM13<sub>1</sub>、13<sub>2</sub>のうち一方を選択するデコーダ17を有し、さらにチップが選択されたことを示すチップイネーブル入力信号が伝送されるチップイネーブル信号線14、データバス11の入出力を制御するアウトプットイネーブル信号が伝送されるアウトプットイネーブル信号線15、EEPROM13<sub>1</sub>、13<sub>2</sub>に対するアクセスが読み出しであるか書き換えであるかを示すライトイネーブル信号が伝送されるライトイネーブル信号線16とを設けた構成となっている。アドレスバス12はM本のアドレス線20<sub>0</sub>～20<sub>M-1</sub>からなっている。

\*

チップイネーブル入力信号	アドレスバス11の最下位ビット	デコーダ回路17の一方の出力23 <sub>1</sub>	デコーダ回路17の他方の出力23 <sub>2</sub>
偽	偽	偽	偽
偽	真	偽	偽
真	偽	真	偽
真	真	偽	真

この表から明らかなように、一方のEEPROM13<sub>1</sub>のチップイネーブル端子CEの入力は、チップイネーブル入力信号が真であってかつ最下位ビットのアドレス線※50

\*【0020】各EEPROM13<sub>1</sub>、13<sub>2</sub>は、データバス11に接続されたデータ端子Dと、m個のアドレス入力端子A<sub>0</sub>～A<sub>m-1</sub>と、デコーダ回路17の2本の出力23<sub>1</sub>、23<sub>2</sub>のそれぞれに接続されたチップイネーブル端子CEと、アウトプットイネーブル信号線15に接続されたアウトプットイネーブル端子OEと、ライトイネーブル信号線16に接続されたライトイネーブル端子WEとを有している。

【0021】アドレスバス12の最下位ビットを表わすアドレス線20<sub>0</sub>はデコーダ回路17の入力に接続されている。そして、アドレスバス12の最下位から2番目のアドレス線20<sub>1</sub>は、各EEPROM13<sub>1</sub>、13<sub>2</sub>の最下位のアドレス入力端子A<sub>0</sub>に接続され、アドレスバス13の最下位から3番目のアドレス線20<sub>2</sub>は各EEPROM13<sub>1</sub>、13<sub>2</sub>の最下位から2番目のアドレス入力端子A<sub>1</sub>に接続され、以下順次接続されて、アドレスバス13の最下位からm+1番目のアドレス線20<sub>m</sub>は各EEPROM13<sub>1</sub>、13<sub>2</sub>の最上位のアドレス入力端子A<sub>m-1</sub>に接続されている。

【0022】一方、デコーダ回路17は、アドレスバス12の最下位ビットのアドレス線20<sub>0</sub>に入力が接続された反転回路21と、反転回路21の出力とチップイネーブル入力信号線14とが入力に接続された一方のアンド回路22<sub>1</sub>と、前記最下位のアドレス線20<sub>0</sub>とチップイネーブル入力信号線14とが入力に接続された他方のアンド回路22<sub>2</sub>からなり、各アンド回路22<sub>1</sub>、22<sub>2</sub>の出力23<sub>1</sub>、23<sub>2</sub>は、それぞれ各EEPROM13<sub>1</sub>、13<sub>2</sub>のチップイネーブル端子CEに接続されている。

【0023】次に、このデータ処理装置の動作について説明する。

【0024】まず、デコーダ回路17の動作について説明する。反転回路21と2個のAND回路22<sub>1</sub>、22<sub>2</sub>からなるデコーダ回路17の真理値表は表1の通りである。

【0025】

【表1】

※20<sub>0</sub>が偽であるときのみ真となる。これに対し、他方のEEPROM13<sub>2</sub>のチップイネーブル端子CEの入力は、チップイネーブル入力信号が真であってかつ最下

位ビットのアドレス線20<sub>0</sub>が真であるときのみ真となる。したがって、デコーダ回路17によって、これら2つのEEPROM13<sub>1</sub>, 13<sub>2</sub>は、チップイネーブル入力信号が真であるときに、アドレスバス12の最下位ビットのアドレス線A<sub>0</sub>の真偽によって、どちらか一方が選択されることになる。

【0026】データの読み出しを行なう場合、ライトイネーブル信号が偽の状態、アドレスバス12上のアドレスを有効にして、チップイネーブル入力信号とアウトプット信号とを真にする。この結果、上述のデコーダ回路17の動作により、アドレスの最下位ビットが真であるか偽であるかによって2個のEEPROM13<sub>1</sub>, 13<sub>2</sub>のいずれか一方が選択され、選択されたEEPROM内に格納されたデータがデータバス11上に出力される。そしてチップイネーブル入力信号とアウトプットイネーブル信号とを偽にすると、データ出力は停止（読みだしサイクル終了）する。

【0027】次に、データを書き換える場合について説明する。まず、アウトプットイネーブル信号とライトイネーブル信号とが偽の状態、アドレスバス12上のアドレスとデータバス11上のデータとを有効にし、そして、チップイネーブル入力信号を真にする。このとき、上述のデータ読み出しの場合と同様に、アドレスバス12の最下位ビットのアドレス線20<sub>0</sub>の真偽によって、2個のEEPROM13<sub>1</sub>, 13<sub>2</sub>のどちらか一方が選択される。そしてこの状態で、ライトイネーブル信号を真にし再び偽にすることによって、選択された方のEEPROM内のデータがデータバス11上のデータで書き換えられる。チップイネーブル入力信号を偽にすると、書き換えサイクルは終了する。

【0028】連続したアドレスのデータを書き換える場合、アドレスの最下位ビットは交互に真と偽をとるから、2個のEEPROM13<sub>1</sub>, 13<sub>2</sub>がアドレスの1番地ごとに交互に書き換えの対象となる。したがって、管理情報が連続したアドレスのかたまりのデータで構成されるかぎり、EEPROM13<sub>1</sub>, 13<sub>2</sub>に格納された複数の管理情報のうち特定の管理情報のみを書き換える場合であっても、書き換えが2個のEEPROM13<sub>1</sub>, 13<sub>2</sub>に分散して行なわれることになる。

【0029】以上、本発明のn=1のときの実施例について説明したが、一般にnビットをデコードすると2<sup>n</sup>個のデコード結果が得られるから、2<sup>n</sup>個の電氣的消去・再書き込み可能ROMを用い、アドレスバスの下位nビットをデコードし、このデコード結果と外部からのチップイネーブル入力信号とに応じてこの2<sup>n</sup>個の電氣的消去・再書き込み可能ROMのうちの1個を排他的に選択するようにすることにより、連続したアドレスのデータの書き換えは、この2<sup>n</sup>個の電氣的消去・再書き込み可能ROMに分散して行なわれることになる。したがっ

て、1回の書き換えサイクルで連続したアドレスのZワードのデータを書き換える場合、特定のデータのみを書き換えが集中したとしても2<sup>n</sup>個の電氣的消去・再書き込み可能ROMに書き換えが分散されるから、電氣的消去・再書き込み可能ROMの繰り返し書き換え可能回数をYワード・回とすると、平均して(2<sup>n</sup>・Y)/Z回の書き換えを行なったのちに繰り返し書き換え可能回数をオーバーする電氣的消去・再書き込み可能ROMが発生することになり、アドレスバスの上位ビット側でデコードして電氣的消去・再書き込み可能ROMを選択する場合と比べ、システムの信頼性が著しく向上する。

#### 【0030】

【発明の効果】以上説明したように本発明は、アドレスバスの下位nビットをデコードし、このデコード結果に基づいて2<sup>n</sup>個の電氣的消去・再書き込み可能ROMの中からアクセス対象の電氣的消去・再書き込み可能ROMを選択するようにすることにより、連続したアドレスのデータの書き換えを行なった場合には書き換えが全電氣的消去・再書き込み可能ROMに分散して行なわれることとなって、特定の電氣的消去・再書き込み可能ROMだけが早期に繰り返し書き換え可能回数をオーバーすることが防がれ、データ処理装置のシステムとしての信頼性が向上するという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の一実施例のデータ処理装置の要部の構成を示すブロック図である。

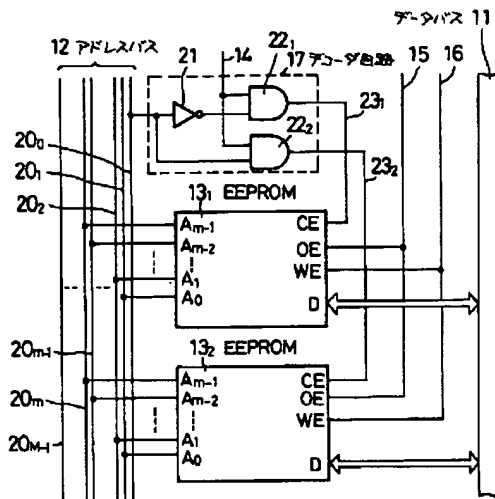
【図2】1個の電氣的消去・再書き込み可能ROMを使用した従来のデータ処理装置の要部の構成を示すブロック図である。

【図3】複数個の電氣的消去・再書き込み可能ROMを使用した従来のデータ処理装置の要部の構成を示すブロック図である。

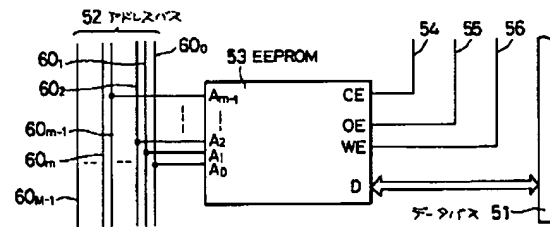
#### 【符号の説明】

11	データバス
12	アドレスバス
13 <sub>1</sub> , 13 <sub>2</sub>	EEPROM
14	チップイネーブル入力信号線
15	アウトプットイネーブル信号線
16	ライトイネーブル信号線
17	デコーダ回路
20 <sub>0</sub> ~20 <sub>n-1</sub>	アドレス線
21	反転回路
22 <sub>1</sub> , 22 <sub>2</sub>	アンド回路
A <sub>0</sub> ~A <sub>n-1</sub>	アドレス入力端子
CS	チップイネーブル端子
D	データ端子
OE	アウトプットイネーブル端子
WE	ライトイネーブル端子

【図1】



【図2】



【図3】

